

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289653  
 (43)Date of publication of application : 04.10.2002

(51)Int.Cl. H01L 21/60  
 C23C 18/31  
 C23C 18/54  
 C23C 28/00  
 C23C 30/00

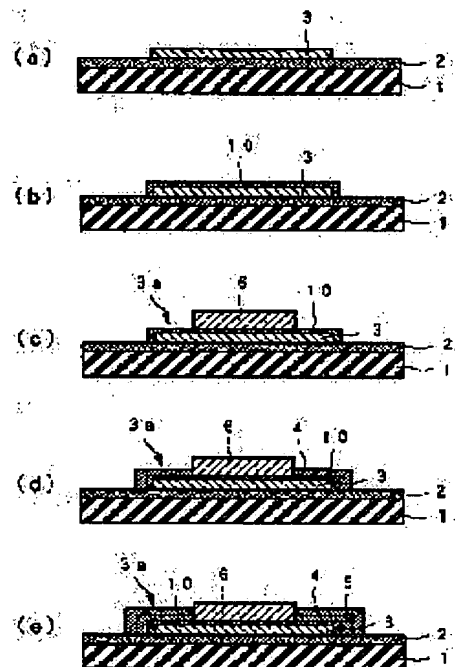
(21)Application number : 2001-086913 (71)Applicant : HITACHI CABLE LTD  
 (22)Date of filing : 26.03.2001 (72)Inventor : AKINO HISANORI  
 MIZUNO MASAHIRO  
 SUGANO MASARU

## (54) SEMICONDUCTOR DEVICE TAPE CARRIER AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent excess melting of copper of a lead wire in a lower part of a solder resist and suppress the whisker of tin plating in a semiconductor device tape carrier.

**SOLUTION:** A noble metal plated layer of such as silver, gold and palladium 10 is formed on a copper foil wiring pattern 3 which is formed on an dielectric film 1 via an adhesive layer 2, thereafter, the solder resist 6 is applied in a position except a terminal portion of the wiring pattern 3, and a tin-plated layer is formed on the terminal portion. Then, a tin-copper alloy 5 of 0.20  $\mu\text{m}$  or more in thickness and a pure tin layer 4 of 0.15 to 0.80  $\mu\text{m}$  in thickness are formed by heat treatment.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-289653  
(P2002-289653A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 W 4 K 0 2 2
C 2 3 C 18/31		C 2 3 C 18/31	A 4 K 0 4 4
18/54		18/54	5 F 0 4 4
28/00		28/00	A
30/00		30/00	A
審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2001-86913(P2001-86913)

(22) 出願日 平成13年3月26日 (2001. 3. 26)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 秋野 久則

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社総合技術研究所内

(72) 発明者 水野 雅裕

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社総合技術研究所内

(74) 代理人 100116171

弁理士 川澄 茂

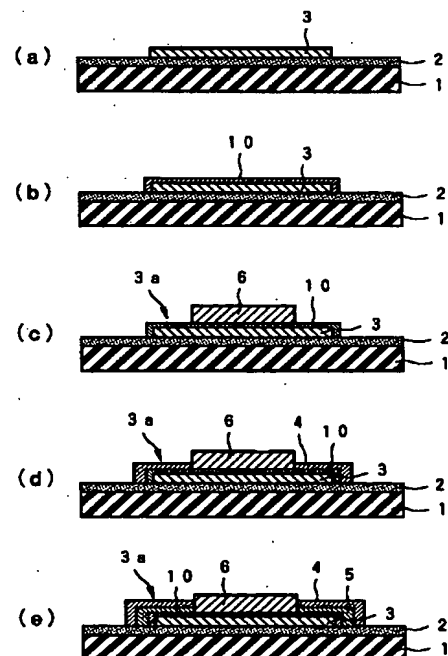
最終頁に続く

(54) 【発明の名称】 半導体装置用テープキャリアおよびその製造方法

## (57) 【要約】

【課題】半導体装置用テープキャリアにおけるソルダーレジスト下方のリード配線の銅の過剰溶解を防止すると共に、スズめっきのホイスカを抑制する。

【解決手段】絶縁フィルム1上に接着剤層2を介して施された銅箔の配線パターン3上に、銀、金、パラジウム等の貴金属めっき10を施した後、前記配線パターン3の端子部分を除く所定の位置にソルダーレジスト6を塗布し、その後、前記端子部分にスズめっき層を形成し、その後、加熱処理することにより、厚さ0.20μm以上のスズ-銅合金層5と厚さ0.15~0.80μmの純スズ層4を形成する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】絶縁フィルム上に接着剤層を介して施された銅箔の配線パターン上に、銀、金、パラジウム等の貴金属めっきを施し、前記配線パターンの端子部分を除く所定の位置にソルダーレジストを塗布し、前記端子部分にスズめっき層を形成し加熱処理することにより、厚さ0.20 $\mu$ m以上のスズ-銅合金層と厚さ0.15～0.80 $\mu$ mの純スズ層を形成したことを特徴とする半導体装置用テープキャリア。

【請求項2】請求項1記載の半導体装置用テープキャリアにおいて、前記貴金属めっきの厚さを0.1 $\mu$ m以下としたことを特徴とする請求項1記載の半導体装置用テープキャリア。

【請求項3】絶縁フィルム上に接着剤層を介して施された銅箔の配線パターン上に、銀、金、パラジウム等の貴金属めっきを施した後、前記配線パターンの端子部分を除く所定の位置にソルダーレジストを塗布し、その後、前記端子部分にスズめっき層を形成し、その後、加熱処理することにより、厚さ0.20 $\mu$ m以上のスズ-銅合金層と厚さ0.15～0.80 $\mu$ mの純スズ層を形成することを特徴とする半導体装置用テープキャリアの製造方法。

【請求項4】請求項3記載の製造方法において、前記貴金属めっきの厚さを0.1 $\mu$ m以下とすることを特徴とする半導体装置用テープキャリアの製造方法。

【請求項5】請求項3又は4記載の製造方法において、前記スズめっきを無電解めっきにより行うことを特徴とする半導体装置用テープキャリアの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、精密電子部品であるTABテープキャリアのような半導体装置用テープキャリア、特にその銅箔の配線パターンにスズめっきを行うに際し、ソルダーレジスト際の銅の喰われを防止した構造のテープキャリア及びスズめっき手法に関するものである。

## 【0002】

【従来の技術】従来のTABテープキャリアの構造は、図2に示すように、ポリイミド樹脂製絶縁フィルム1に接着剤層2を介して貼り合わせた銅箔に所定の配線パターン3を形成し(図2(a))、その配線パターン3上には、その銅リード3a等の端子部分を除く所定の位置に、絶縁層としてソルダーレジスト6を印刷塗布し(図2(b))、その後、当該配線パターン3の端子部分である銅リード3aに安定した接合性を与えるために、無電解スズめっきにより純スズめっき層4を形成し(図2(c))、加熱処理によりスズ-銅合金層5を形成した構造(図2(d))である。

【0003】このTABテープキャリアの半導体素子への実装作業は、例えば図3に示すように半導体素子(ICチップ)7をデバイスホールに位置するように配置し、デバイスホールに突出したインナーリードと半導体素子7の電極を位置合わせした後、ボンディングツールにより圧着する。半導体素子7の電極には金バンプ8が形成されており、加熱された状態で銅リード3aに圧着されると、スズめっきが溶融し金-スズ合金が形成し、電極とインナーリードが接合される。

## 【0004】

【発明が解決しようとする課題】一般にスズめっきは、耐食性、はんだ付け性に優れていることから電子部品に広く使用されている。

【0005】しかしながら、上記した従来のTABテープキャリアにおいては、無電解スズめっきする際に、図4に示すように、ソルダーレジスト6の下方の隙部(端部)にて銅が過剰溶解し、銅リード3aに溝状に浸食された部分(過剰溶解部9)を形成し、リード強度を低下させるという問題がある。

【0006】一般に無電解スズめっきは銅との置換で析出するが、この場合、無電解スズめっきの前処理液がソルダーレジスト下方は浸透しにくく、銅表面に有機物の残さ、汚染物等が残り、無電解スズめっき時に反応速度が著しく早くなり、銅が過剰に溶解する。

【0007】さらに最近では微細配線パターン化の要求が強くなっており、めっき面積がより小さくなっていることから、めっき面積の大きいところと微細な部分で、無電解スズめっき時に反応速度に差が生じる。特に、微細部では無電解スズめっきの反応速度が早くなり、銅が過剰溶解しリード強度が低下する。

【0008】他の問題点として、スズめっき皮膜はスズめっき直後、放置するとホイスカ(ひげ状の結晶)が発生することが良く知られており、特に微細ピッチのパターンではホイスカの発生がショートの原因となるため、種々の検討が行われてきた。このスズホイスカの抑制手段としては、(1)下地めっきとして、ニッケル、銅、鉛、はんだ、スズ-ニッケル合金、スズ-銅合金層を形成する。(2)めっき後にリフロー処理を施す。(3)めっき後に加熱してアニール処理を施す。等が知られている。

【0009】しかしながら、上記(1)の下地めっきを施す手法は、下地めっき工程が付与されるのでコストが高くなる。上記(2)のめっき後にリフロー処理を施す方法は、最初に厚く均一なめっきを施したとしても、リフロー後はめっき厚にバラツキが生じてしまい、さらにスズめっき表面が酸化するという問題が生じる。上記(3)のめっき後にアニール処理を施す方法は、短期間ではホイスカ抑制効果があるが、6ヶ月程度の長期間になると完全にホイスカの成長を防止することができないため、完全なホイスカ対策とはならないという問題がある。

【0010】そこで、本発明の目的は、上記課題を解決し、ソルダーレジスト下方のリード配線の銅の過剰溶解、つまりソルダーレジスト際の銅の喰われを防止すると共に、安価に、且つスズめっきの特性を損なわずに、スズめっきのホイスカを抑制することのできる、高い信頼性を有するスズめっき構造の半導体装置用テープキャリアおよびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、次のように構成したものである。

【0012】(1) 請求項1の発明に係る半導体装置用テープキャリアは、絶縁フィルム上に接着剤層を介して施された銅箔の配線パターン上に、銀、金、パラジウム等の貴金属めっきを施し、前記配線パターンの端子部分を除く所定の位置にソルダーレジストを塗布し、前記端子部分にスズめっき層を形成し加熱処理することにより、厚さ0.20 $\mu$ m以上のスズ-銅合金層と厚さ0.15~0.80 $\mu$ mの純スズ層を形成したことを特徴とする。

【0013】(2) 請求項2の発明は、請求項1記載の半導体装置用テープキャリアにおいて、前記貴金属めっきの厚さを0.1 $\mu$ m以下としたことを特徴とする。

【0014】(3) 請求項3の発明に係る半導体装置用テープキャリアの製造方法は、絶縁フィルム上に接着剤層を介して施された銅箔の配線パターン上に、銀、金、パラジウム等の貴金属めっきを施した後、前記配線パターンの端子部分を除く所定の位置にソルダーレジストを塗布し、その後、前記端子部分にスズめっき層を形成し、その後、加熱処理することにより、厚さ0.20 $\mu$ m以上のスズ-銅合金層と厚さ0.15~0.80 $\mu$ mの純スズ層を形成することを特徴とする。

【0015】(4) 請求項4の発明は、請求項3記載の製造方法において、前記貴金属めっきの厚さを0.1 $\mu$ m以下とすることを特徴とする。

【0016】(5) 請求項3又は4記載の製造方法において、前記スズめっきを無電解めっきにより行うことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明を図示の実施形態に基づいて説明する。

【0018】図1に本発明による半導体装置用テープキャリアの例としてのTABテープキャリアの製造方法を示す。まず、ポリイミド樹脂製絶縁フィルム1上に接着剤層2を介して銅箔を形成したテープキャリアに、所定のフォトリソを塗布して乾燥させた後に、所定の配線リードパターンを有するフォトマスクを通して露光、現像させた後、エッチングを行うことにより、図1(a)に示すように所定の微細配線パターン3を作製する。

【0019】次に、図1(b)に示すように、この銅箔

の配線パターン3上に、厚さ0.01~0.1 $\mu$ mの銀、金、パラジウム等の貴金属めっき層10を形成する。

【0020】次いで、図1(c)に示すように、この貴金属めっき層10が形成された配線パターン3上の一部分に、つまり銅リード3a等の端子部分を除いた所定の位置に、ソルダーレジスト6を印刷法により塗布する。

【0021】次に、図1(d)に示すように、このテープキャリアの上記端子部分(銅リード3a等)に、つまり貴金属めっき層10上に、スズめっき層4を形成し、その後、100~150 $^{\circ}$ C、5分~90分の加熱処理をすることにより、当該スズめっき層に銅を拡散して、図1(e)に示すように、厚さ0.15~0.80 $\mu$ mの実質的に銅を含有しないスズめっき層すなわち純スズ層4と、厚さ0.20 $\mu$ m以上の銅拡散スズめっき層すなわちスズ-銅合金層5を形成する。

【0022】このようにして形成されるTABテープキャリアは、先に銀、金、パラジウム等の貴金属めっき層10が形成され、この貴金属めっき層10により銅リード3a等の端子部分が覆われ、その上にソルダーレジスト6が形成される。このため、スズめっき処理の際に、ソルダーレジスト6の下面にめっき液が侵入したとしても、銅の表面は貴金属めっき層10に覆われていて、銅箔がめっき液と接触することはないので、局部的な電食が起らない。従って、図4に示した銅の過剰溶解部9が銅リード3aに形成されることがない。よって、銅リード3aに銅の過剰溶解部9が存在して銅リード3aの強度が弱まるという不都合を無くすることができる。

【0023】上記したTABテープキャリアの製造方法において、貴金属めっき層10の厚さは0.1 $\mu$ m以下であることが好ましい。この貴金属めっき層10の厚さが0.1 $\mu$ mを越えると、無電解スズめっき時に貴金属めっき皮膜のピンホールを通じて析出する際に、ほぼ全面が貴金属めっきで覆われてしまい、無電解スズめっき液がピンホールを通じて下地の銅まで達するまでに時間がかかり、析出速度が低下するからである。

【0024】一方、純スズ層4の厚さを0.15~0.80 $\mu$ mとした理由は、0.15 $\mu$ m未満の場合はインナリードのボンディング性が困難となり、0.8 $\mu$ mを越えるとめっきだれを生じ、短絡の原因となるからである。また、2回目のスズめっき処理によるスズ-銅合金層5の厚さを0.20 $\mu$ m以上とした理由は、0.20 $\mu$ m未満の場合はホイスカ抑制効果が不十分となるからである。

【0025】上記TABテープキャリアの半導体素子への実装作業は、例えば図3に示すように半導体素子(1Cチップ)7をデバイスホールに位置するように配置し、デバイスホールに突出したインナリードと半導体素子7の電極を位置合わせした後、ボンディングツールにより圧着する。半導体素子7の電極には金パンプ8が

形成されており、加熱された状態で銅リード3aに圧着されると、スズめっきが溶融し金-スズ合金が形成し、電極とインナーリードが強固に接合される。

【0026】

【実施例】ポリイミド樹脂製絶縁フィルム1上に接着剤層2を介して形成された銅箔25 $\mu$ mのテープキャリアに、所定のレジストを塗布して乾燥させた後に、所定の配線リードパターンを有するフォトマスクを通して露光、現像させた後、エッチングを行うことによりリードパターンを作製した。

【0027】そして、まず、ポリイミド樹脂製絶縁フィルム1上に銅の微細パターンが形成された半導体装置用テープキャリアの銅配線パターン上に、厚さ0.01～0.25 $\mu$ mの銀めっきを施し、その配線パターン上の一部分にソルダーレジスト6を印刷した後、約0.5 $\mu$ m

\*mのスズめっき層を形成し、100℃～150℃で5分～90分加熱処理により、純スズ層4とスズ-銅合金層5を形成した。ここでは、加熱処理により純スズ層4を0.2～0.3 $\mu$ m、スズ-銅合金層5を0.15～0.20 $\mu$ m形成させたものを作製した。

【0028】ここでスズめっきは電解及び無電解めっきのいずれかの方法で形成しても良いが、めっき厚のバラツキの少ない点で無電解めっきとした。

【0029】無電解スズめっき液は石原薬品製580Mを用い、70℃、5～500sで処理した。このように作製したサンプルについて、銅の過剰溶解性の評価を断面観察にて行った。この結果を、表1にスズめっき条件と銅過剰溶解性評価結果として示す。

【0030】

【表1】

スズめっき条件と銅過剰溶解性評価結果

サンプル	1回目Agめっき厚	2回目めっき厚		銅過剰溶解性評価結果
		合金層厚	純スズ厚	
1	0	0.22	0.35～0.4	×
2	0.01	0.22	0.25～0.3	○
3	0.05	0.22	0.25～0.3	○
4	0.10	0.22	0.25～0.3	○
5	0.15	0.18	0.15～0.2	○
6	0.20	0.15	0.10～0.15	○

【0031】表1から判るように、下地にAgめっきを行ったいずれのサンプルも、銅の過剰溶解は観察されなかった。すなわち、銀めっき層（貴金属めっき層10）の厚さは、少なくとも0.01 $\mu$ m以上であれば、銅の過剰溶解が防止できるものと考えられる。また銀めっき厚さが0.1 $\mu$ mを越えるとスズめっきの析出速度が低下するので、銀めっき厚さは0.1 $\mu$ m以下が好ましい。

【0032】一方、サンプル1のようにソルダーレジスト印刷後に無電解スズめっきをただけの場合には、銅の過剰溶解が観察された。

【0033】次に、コクール計により純スズめっき厚、蛍光X線膜厚計により全スズ厚を測定し、（全スズ厚）

から（純スズ厚）を差し引きしてスズ-銅合金層の層厚を求め、1～6月（30日、60日、90日、180日）放置した後のインナーリード150本について、それぞれ200倍の光学顕微鏡によりホイスカの観察を行い、そのホイスカの発生数を数えた。このスズめっき条件とスズめっき厚、ホイスカ性評価結果を表2に示す。表2から判るように、スズ-銅合金層が0.20 $\mu$ m未満（サンプル2、5、8、11、14）の場合、経過日数が増加するにつれてホイスカ発生数が増加することが観察された。これによりスズ-銅の拡散層が厚いほどスズのホイスカを抑制する効果があることが判る。

【0034】

【表2】

## スズめっき条件とスズめっき厚、ホイスカ性評価結果

サンプル	1回目銀めっき厚	2回目めっき厚		ホイスカ観察結果			
		合金層厚	純スズ厚	30 日	60 日	90 日	180 日
1	0	0.22	0.35~0.4	0	0	0	0
2	0.01	0.15	0.25~0.3	2	5	10	15
3	↑	0.20	0.25~0.3	0	0	0	0
4	↑	0.25	0.25~0.3	0	0	0	0
5	0.05	0.15	0.25~0.3	1	6	11	17
6	↑	0.20	0.25~0.3	0	0	0	0
7	↑	0.25	0.25~0.3	0	0	0	0
8	0.10	0.15	0.25~0.3	3	7	10	25
9	↑	0.20	0.25~0.3	0	0	0	0
10	↑	0.25	0.25~0.3	0	0	0	0
11	0.15	0.15	0.15~0.2	2	7	20	31
12	↑	0.20	0.15~0.2	0	0	0	0
13	↑	0.25	0.15~0.2	0	0	0	0
14	0.20	0.15	0.10~0.15	4	12	28	36
15	↑	0.20	0.10~0.15	0	0	0	0
16	↑	0.25	0.10~0.15	0	0	0	0

【0035】上記実施例では銅箔25 $\mu$ mのテープキャリアを用いたが、これに代えて銅箔10 $\mu$ mのテープキャリアで上記と同様な評価を行ったところ、1回目の銀めっき厚さが0.10 $\mu$ m以下では銅の過剰溶解現象は発生しなかった。

【0036】また、上記実施例と同様に下地めっきに金又はパラジウムめっきを同様に施してから評価を行ったところ、上記実施例の表1、表2と同様な結果を得た。

【0037】

【発明の効果】以上説明したように本発明によれば、次のような優れた効果が得られる。

【0038】本発明の半導体装置用テープキャリア及びその製造方法によれば、絶縁フィルム上に接着剤層を介して施された銅箔の配線パターン上に、銀、金、パラジウム等の貴金属めっきを施した後、前記配線パターンの端子部分を除く所定の位置にソルダーレジストを塗布し、その後、前記端子部分にスズめっき層を形成し、その後、加熱処理することにより、厚さ0.20 $\mu$ m以上のスズ-銅合金層と厚さ0.15~0.80 $\mu$ mの純スズ層を形成する。

【0039】先に銀、金、パラジウム等の貴金属めっき層が形成され、この貴金属めっき層により銅リード等の端子部分が覆われ、その貴金属めっき層上の一部にソルダーレジストが形成される。このため、スズめっき処理の際に、ソルダーレジストの下面にめっき液が侵入したとしても、銅の表面は貴金属めっき層に覆われていて、銅箔がめっき液と接触することはないので、局所的な電食が起こらない。従って、銅の過剰溶解部が銅リードに

形成されることがない。よって、銅リードに銅の過剰溶解部が存在して銅リードの強度が弱まるという不都合を無くすることができる。

【0040】更に、2回目のスズめっき処理においては、純スズ層を0.15~0.80 $\mu$ mとしているので、インナリードのボンディング性が良好であり、且つめっきだれを生じない。また2回目のスズ-銅合金層を0.20 $\mu$ m以上としているので、十分なホイスカ抑制効果を得ることができる。

【図面の簡単な説明】

【図1】本発明のテープキャリアの構造を工程毎に示した断面図である。

【図2】従来のテープキャリアの構造を工程毎に示した断面図である。

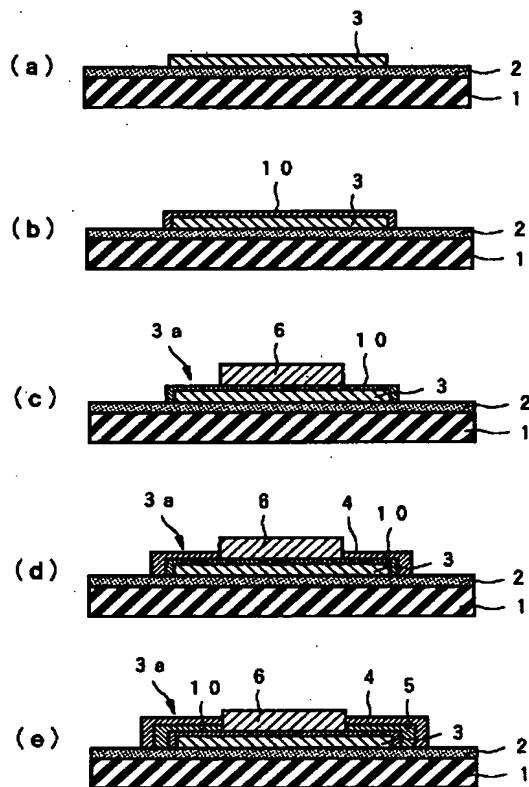
【図3】本発明のテープキャリアにICチップを搭載して半導体装置を構成した組立図である。

【図4】銅の過剰溶解現象を示した断面図である。

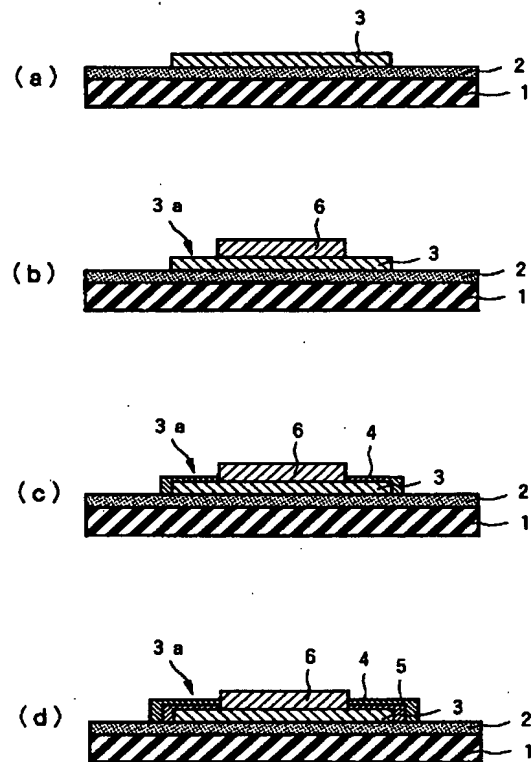
【符号の説明】

- 1 ポリイミド樹脂製絶縁フィルム
- 2 接着剤層
- 3 配線パターン
- 3a 銅リード
- 4 純スズめっき層
- 5 スズ-銅合金層
- 6 ソルダーレジスト
- 9 銅の過剰溶解部
- 10 貴金属めっき層

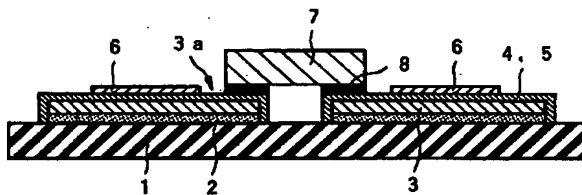
【図1】



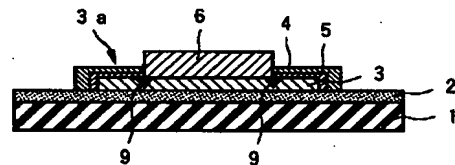
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
C 2 3 C 30/00

識別記号

F I  
C 2 3 C 30/00

テーマコード (参考)

E

(72)発明者 菅野 優  
茨城県日立市助川町3丁目1番1号 日立  
電線株式会社電線工場内

F ターム (参考) 4K022 AA15 AA31 AA41 BA01 BA03  
BA21 BA35 BA36 DA04 EA01  
4K044 AA16 AB02 BA08 BA10 BB03  
BB10 BC02 CA15 CA62  
5F044 MM03 MM23 MM25 MM48